

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. März 2005 (10.03.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/022646 A1

(51) Internationale Patentklassifikation⁷: **H01L 29/786**,
21/336

(21) Internationales Aktenzeichen: PCT/DE2004/001838

(22) Internationales Anmeldedatum:
16. August 2004 (16.08.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 39 531.8 21. August 2003 (21.08.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **HAHN-MEITNER-INSTITUT BERLIN GMBH**
[DE/DE]; Glienicker Strasse 100, 14109 Berlin (DE).

(72) Erfinder; und

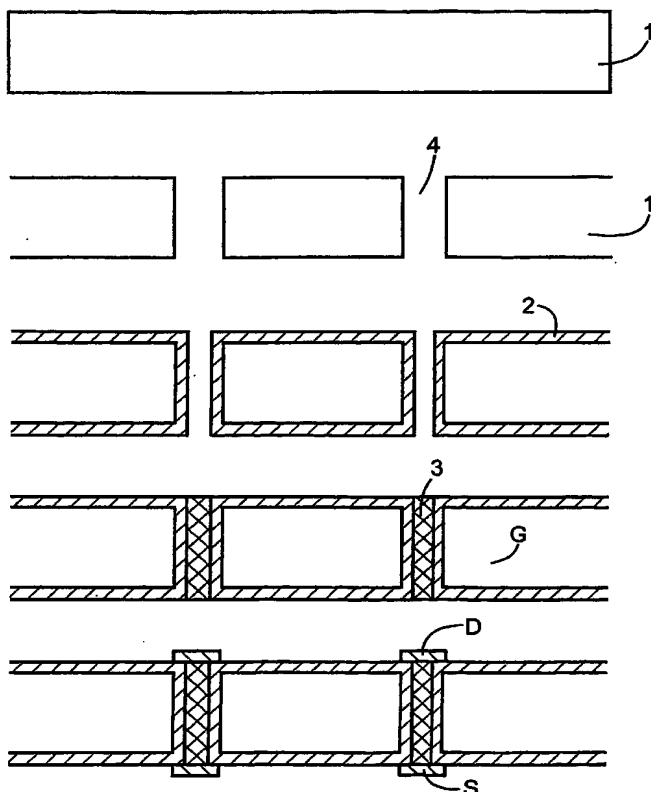
(75) Erfinder/Anmelder (nur für US): **CHEN, Jie**
[CN/DE]; Wiesbadener Strasse 18, 14197 Berlin (DE).
LUX-STEINER, Martha, Christina [CH/DE]; Wolzo-
genstrasse 8c, 14163 Berlin (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,

[Fortsetzung auf der nächsten Seite]

(54) Title: VERTICAL NANOTRANSISTOR, METHOD FOR PRODUCING THE SAME AND MEMORY ASSEMBLY

(54) Bezeichnung: VERTIKALER NANO-TRANSISTOR, VERFAHREN ZU SEINER HERSTELLUNG UND SPEICHERAN-
ORDNUNG



(57) Abstract: The aim of the invention is to provide a vertical nanotransistor which withstands stresses and is less complex than prior art nanotransistors. For this purpose, the invention provides a vertical nanotransistor which comprises a source region, a drain region, a gate region and a semiconducting channel region between the source region and the drain region. The inventive transistor is characterized in that the gate region is constituted by a metal foil into which the transistor is embedded in such a manner that the gate region and the semiconducting channel region form a coaxial structure and the source region, the semiconducting channel region and the drain region are disposed vertically and the gate region is electrically insulated from the source region, the drain region and the semiconducting channel region. The invention also relates to a method for producing the inventive transistors and to a memory assembly.

(57) Zusammenfassung: Es soll ein vertikaler Nano-Transistor angegeben werden, der mechanischen Beanspruchungen gut widersteht und in seiner Herstellung weniger aufwändig ist, als bisher dem Stand der Technik nach bekannt. Die Aufgabe wird erfindungsgemäss dadurch gelöst, dass ein vertikaler Nano-Transistor angegeben wird mit einem Source-Bereich, mit einem Drain-Bereich, mit einem Gate-Bereich und mit einem halbleitenden Kanalbereich zwischen dem Source-Bereich und dem Drain-Bereich, wobei der Gate-Bereich durch eine Metallfolie gebildet ist, in die der Transistor derart eingebettet ist,

[Fortsetzung auf der nächsten Seite]

WO 2005/022646 A1



KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

dass der Gate-Bereich und der halbleitende Kanalbereich eine koaxiale Struktur bilden und der Source-Bereich, der halbleitende Kanalbereich und der Drain-Bereich in vertikaler Richtung angeordnet sind und der Gate-Bereich eine elektrische Isolierung zum Source-Bereich, zum Drain-Bereich und zum halbleitenden Kanalbereich aufweist. Ein Verfahren zur Herstellung derartiger Transistoren ist angegeben, sowie eine Speicheranordnung.